



Researcher 김태훈, 전자공학과 (taehun0312@gmail.com)
안수, 전자공학과 (ilovesoo@gmail.com), 윤준호, 전자공학과 (junho603@naver.com)

ABSTRACT

- 기존 PMOSFET 공정에서 Oxide 두께를 줄임으로써 On-current를 증가시키도록 한다. 미세화 공정이 중요시 여겨지는 반도체 산업에서 Oxide 두께도 줄어들고 있는데 실제 FAB에서 Oxide 두께를 줄여 봄으로써 On-current 증가를 실현해본다.
- 실제 Gate Oxide Thickness를 줄여 On-current를 증가시키고 Oxide Thickness를 줄임으로써 생기는 문제점들을 확인하고 해결방안을 생각해본다.
- 공정의 변수를 변화시키면서 어떠한 영향이 생기는지 생각을 해보며 그에 따른 controllability의 향상을 위해 시뮬레이션을 활용한다.

OBJECTIVES

- 이번 실험에서는 1학기 때 FAB내에서 PMOSFET을 실제 제작, 측정, 분석을 바탕으로 하여 특정 SPEC을 향상시키는 것을 목표로 한다.
- SPEC은 Gate oxide Thickness를 감소시켜 On-current를 증가하는 것을 target으로 하며 그에 따라 Vth의 감소와 같은 변경되는 변수에 대해 control을 하기 위해 well-doping, Vth adjustment의 공정을 추가적으로 진행 및 타 공정의 변수 조절을 통해 SPEC을 향상시킨다.

METHODOLOGY

1. Oxide Thickness Reduction

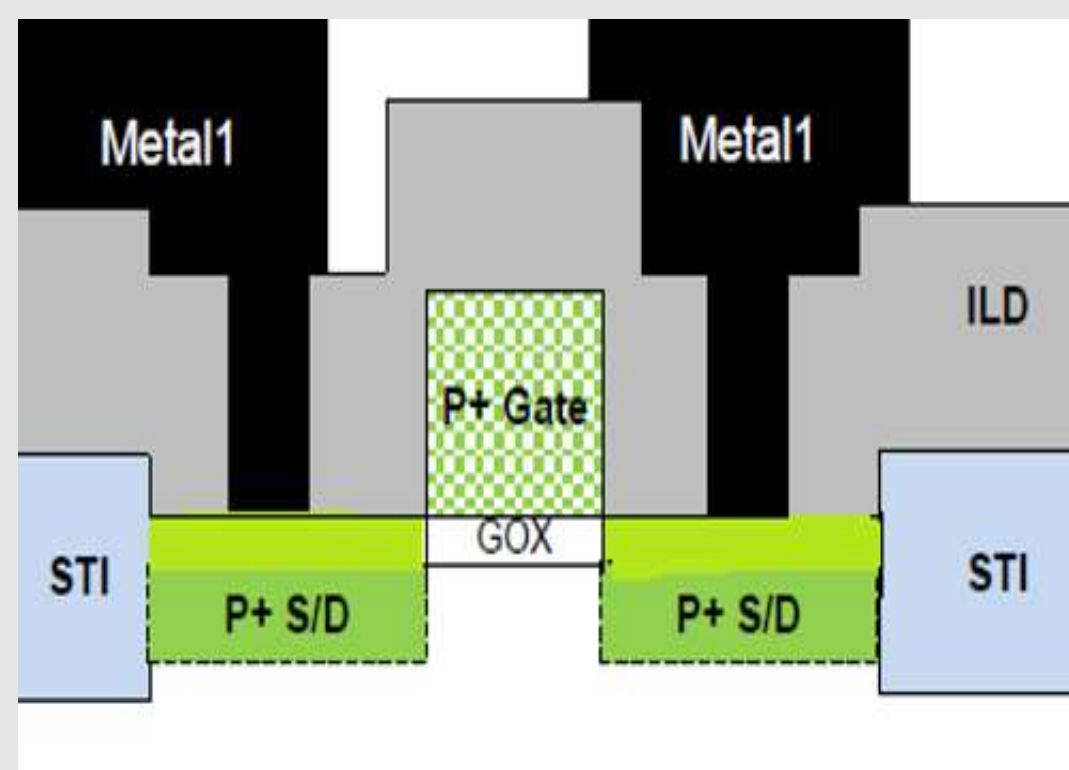


Fig 2. PMOSFET의 Vertical Structure

- GOX (Gate Oxide Thickness) 기존 500Å 에서 300Å으로 감소
- 그에 따라 On -Current가 40%향상 기대
- GOX의 감소로 Vth에 변화 예상
- Vth를 기존과 맞추기 위해 N-well & Vth adjustment의 공정 추가

2. 이론적인 GOX와 On - Current의 관계

$$I_D = \frac{1}{2} \frac{W}{L} \mu C_{ox} (V_{gs} - V_{th})^2$$

Fig 3. PMOSFET의 On - Current Equation

$$C_{ox} = \frac{K_{ox} \epsilon_0 A}{T_{ox}}$$

Fig 4. Cox와 GOX의 Equation

$$V_T = V_{FB} + 2\phi_F + \frac{\sqrt{4\epsilon_s q N_a \phi_F}}{C_{ox}}$$

Fig 5. Cox에 대해 Vth의 변화 Equation

Fabrication

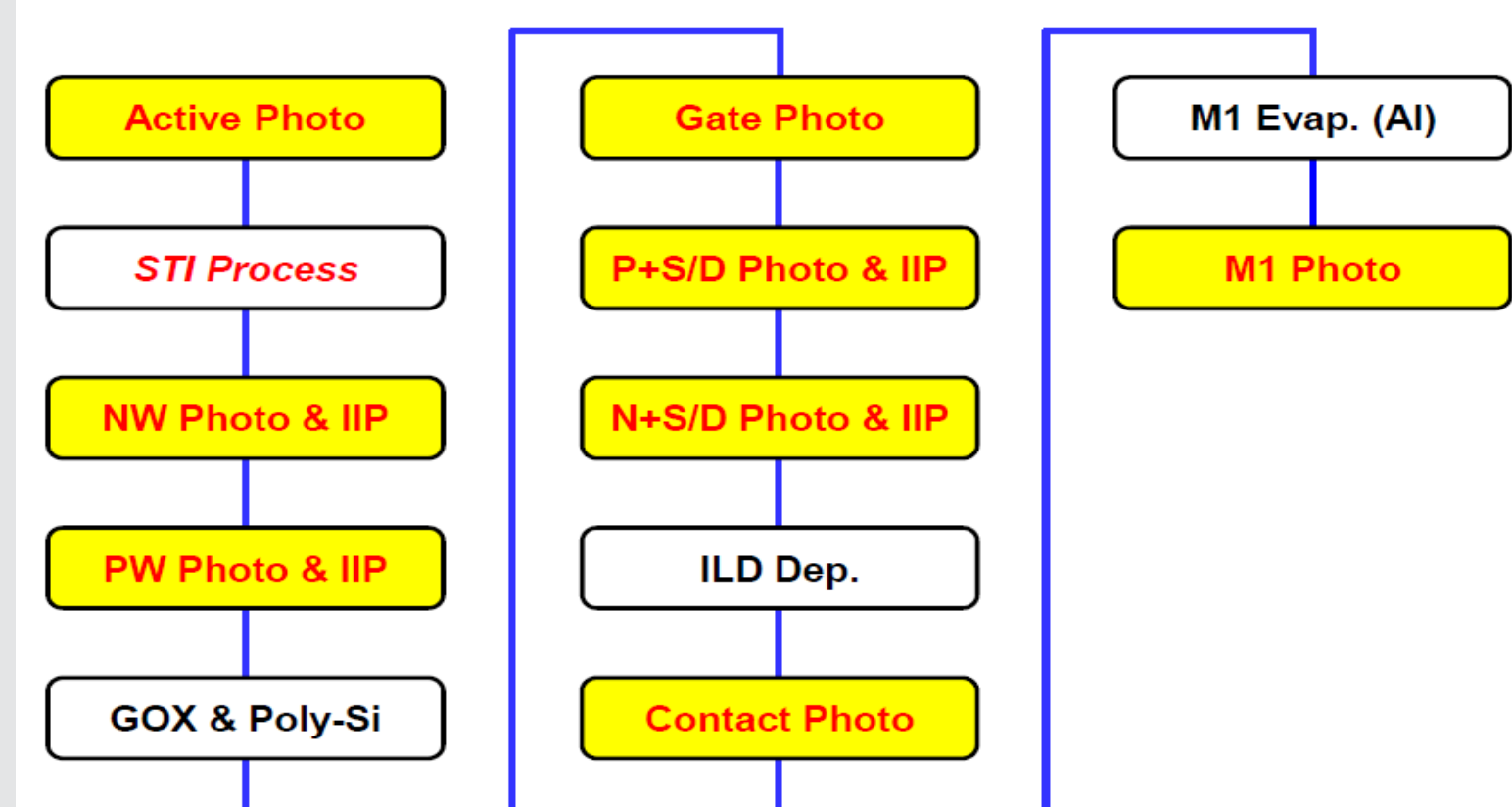


Fig 1. PMOSFET의 제작 과정

Active Photo -> STI Process -> NW Photo & IIP -> Vth Adjustment -> GOX & Poly-Si -> Gate Photo -> P+S/D Photo & IIP -> ILD Deposition -> Contact Photo -> M1 Evap(Al) -> M1 Photo -> Fab out

- (1) 일반적으로 GOX의 감소로 On-current를 증가 예상
- (2) On-current의 증가로 인해 속도 향상을 기대할 수 있다.
- (3) 문제점으로 GOX의 감소로 Vth의 감소가 예상이 되고 그에 대한 값을 이전과 동일하게 유지해야하는 문제점이 발생
- (4) 문제점의 발생을 해결하기 위해 N-well & Vth adjustment를 시뮬레이션을 통해 적절한 값을 도출하고 outsourcing을 통해 적용
- (5) 같은 Vth를 유지함과 동시에 On -Current의 증가를 예상

RESULTS

1. 실제 FAB OUT된 TR의 Current 결과

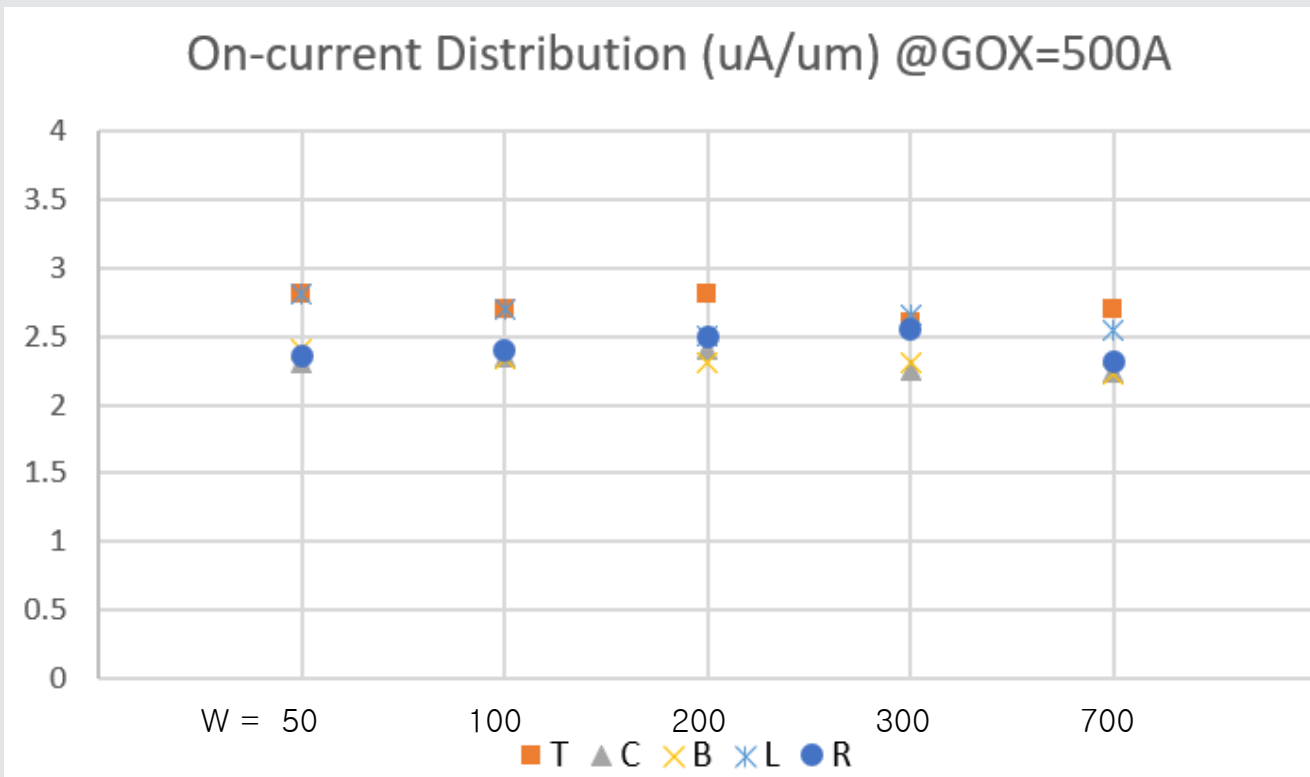


Fig 6. Vg, Vd = -6V의 경우 전류 측정 값 (GOX = 500Å)

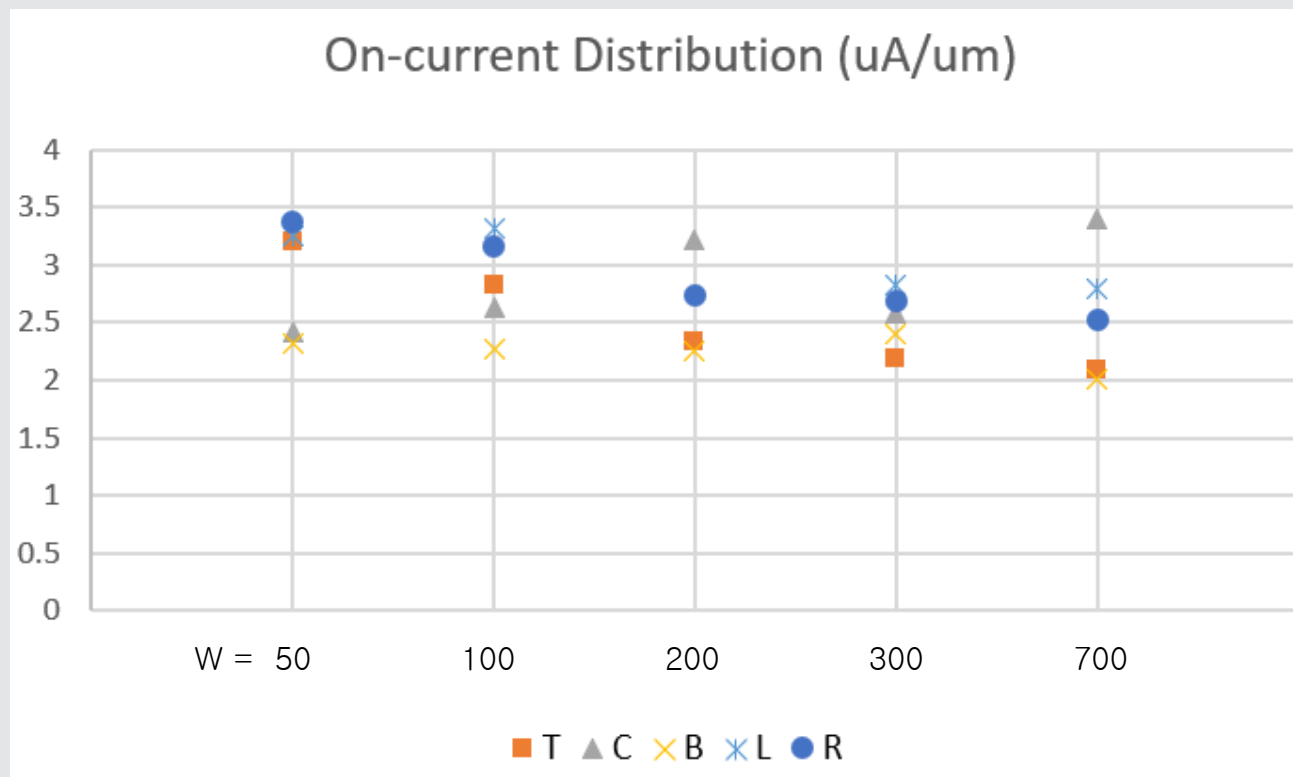


Fig 7. Vg, Vd = -6V의 경우 전류 측정 값 (GOX = 300Å)

2. GOX의 변화에 따른 Vth의 값 측정 방법 & 비교

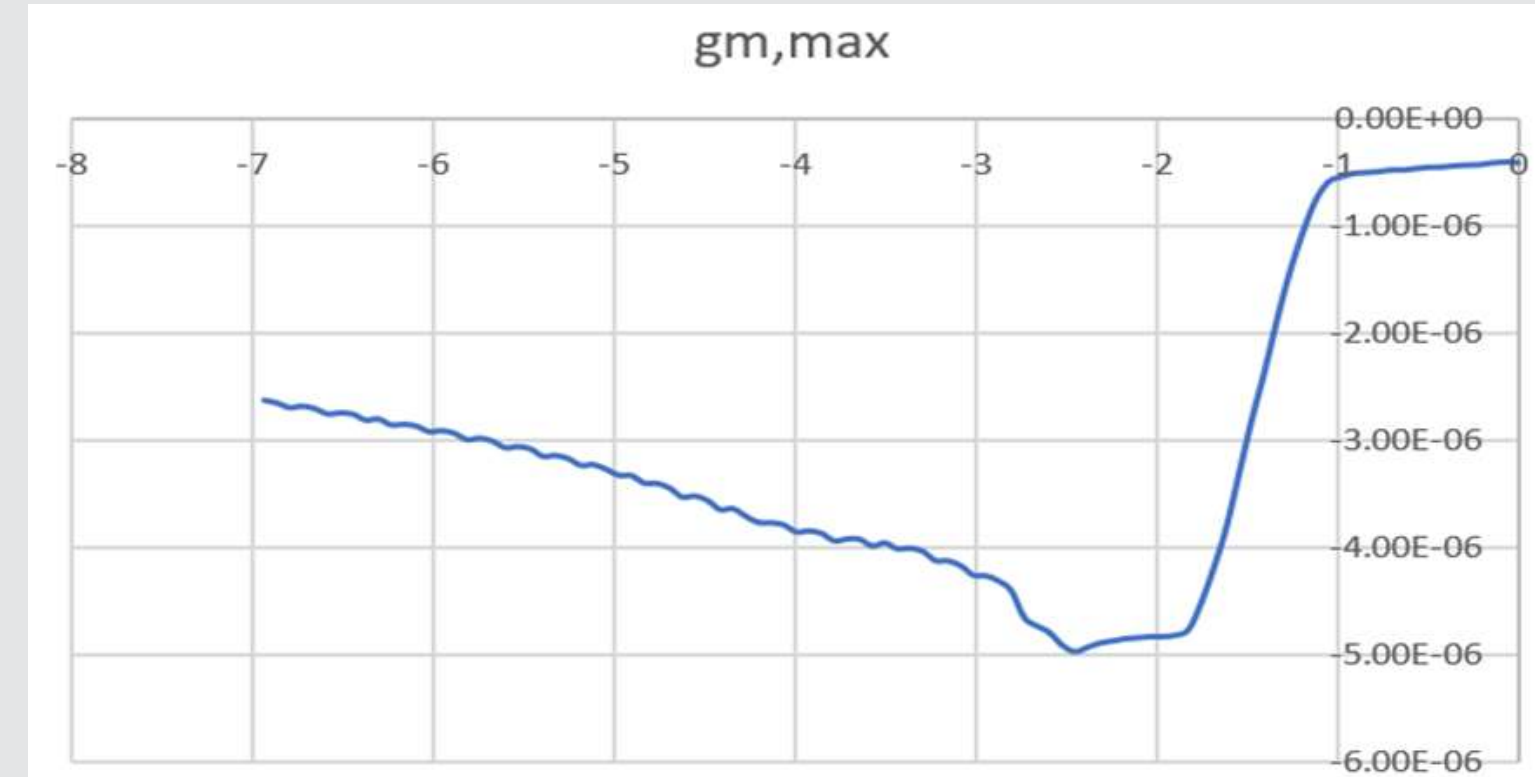


Fig 8. gm,max의 추출 방법

- Vg, Vd = -6V로 고정하였을 경우 TCBLR의 전류 값
- 데이터의 Normalize를 위해 Width의 값을 나누어 단위 길이당 전류의 값으로 표시
- 단위 길이당 전류의 평균 값 = -2.40uA/um

- Vg, Vd = -6V로 고정하였을 경우 TCBLR의 전류 값
- 데이터의 Normalize를 위해 Width의 값을 나누어 단위 길이당 전류의 값으로 표시
- 단위 길이당 전류의 평균 값 = -2.66uA/um

- (1) gm,max의 방법을 통해 각 TR의 Vth 측정
 - gm,max가 되는 Vg의 지점을 찾는다
 - 해당된 Vg의 값에서 ID-VG의 그래프에서 추세선을 구한다
 - 해당 추세선에서 X절편을 값을 구한다 = Vth값

CONCLUSIONS

- 이 결과에서는 1학기 값을 바탕으로 하여 Gate Oxide Thickness를 500Å에서 300Å으로 줄인 결과 On-Current의 값이 -2.40uA/um 에서 -2.66uA/um로 11% 증가한 것을 확인할 수 있다.
- Vth의 관점에서는 기존 -2.09V에서 -2.20V로 증가한 것을 확인할 수 있다. GOX의 감소에 따라 Vth가 감소하게 되지만 N-well & Vth adjustment의 공정의 추가를 통해 5%의 오차로 유지할 수 있었다.
- 향후 연구에서는 이론상 On-current에서 33%의 증가율을 보여야 하지만 다른 공정의 변수와 장비의 불확실성에 의해 On-current가 11%가 증가하였다. 그에 따라 세밀한 공정 최적화가 필요함을 알 수 있다. 또한 얇은 Gate Oxide를 조절하기 위해서는 장비의 확실한 Setting값을 알아야 하며 Oxidation Time을 적절히 도출해야 한다.

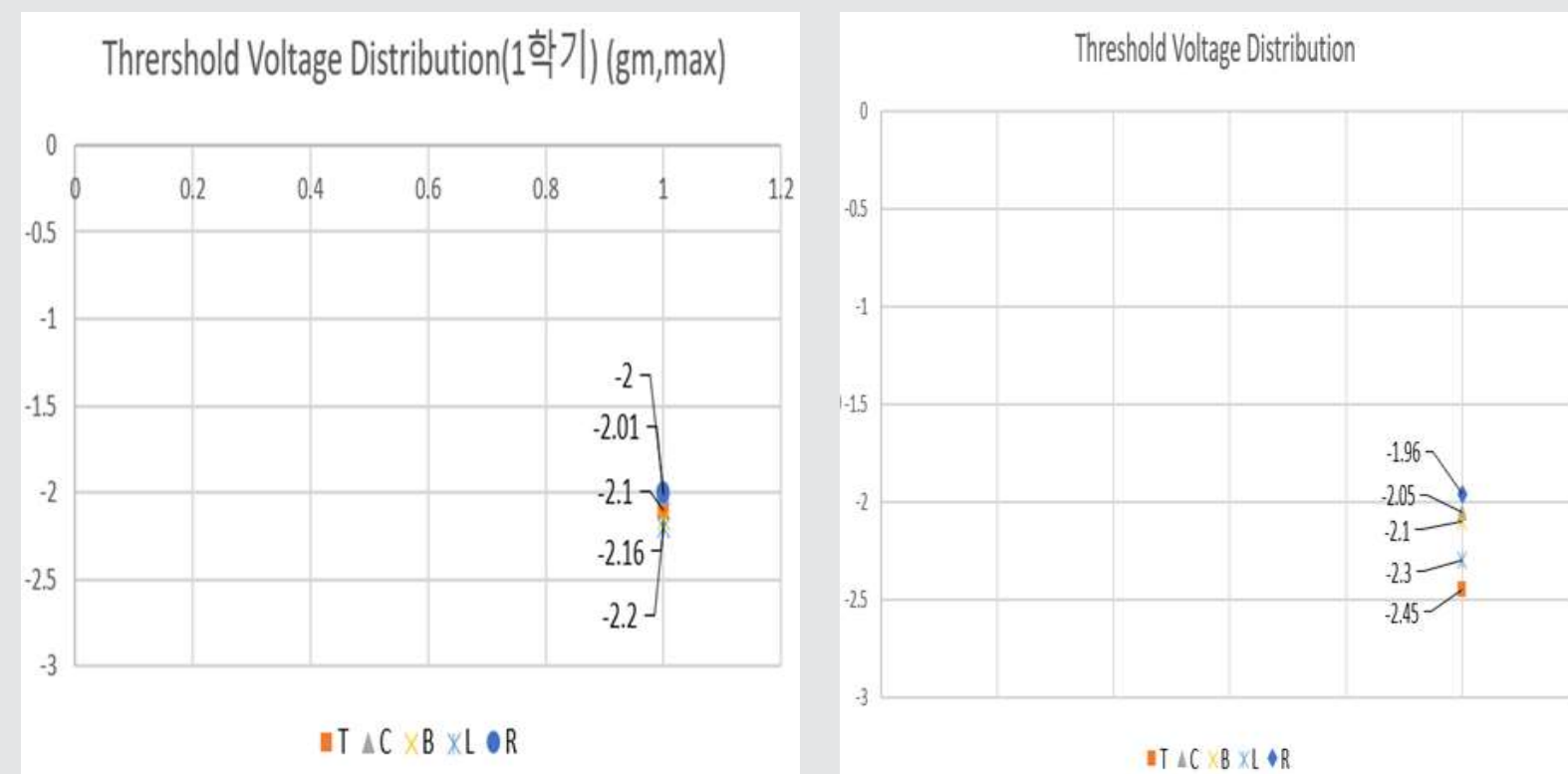


Fig 9. GOX에 따른 Vth 추출 결과

- Vth의 값 비교
- GOX = 500Å의 경우 Vth = -2.09V
- GOX = 300Å의 경우 Vth = -2.20V